

PATENT ABSTRACTS OF JAPAN

Cite No. 1

(11) Publication number : 2001-094053
(43) Date of publication of application : 06.04.2001

(51) Int.CI.
H01L 27/04
H01L 21/822
G02F 1/1365
H01L 29/786

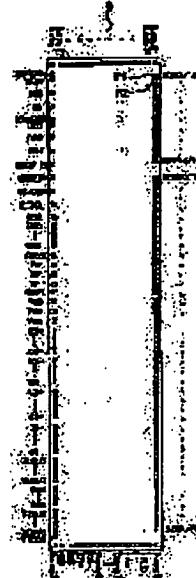
(21) Application number : 11-268031 (71) Applicant : HITACHI LTD
HITACHI DEVICE ENG CO LTD
(22) Date of filing : 22.09.1999 (72) Inventor : HIGUCHI KAZUHISA
NAKACHI TAKAYUKI
TANI KUNIHIKO
OYAMA TAKASHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT AND LIQUID CRYSTAL DISPLAY

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit for coping with variations in a plurality of ITO wiring patterns using a single chip, and a liquid crystal display device using such semiconductor integrated circuit in a semiconductor chip for driving a liquid crystal which is subjected to COG packaging onto a liquid crystal panel.

SOLUTION: A semiconductor chip 3 is provided with a plurality of common driving voltage output terminals COM1-COM18 for outputting a common electrode voltage to the common electrode of a liquid crystal panel, a plurality of segment drive voltage output terminals (SEG1-SEG80) for outputting a segment drive voltage to the segment electrode, and a drive circuit for forming the common drive voltage and segment drive voltage for outputting. In the semiconductor chip 3, the plurality of segment drive terminals and common drive terminals are arranged along one long side of the semiconductor chip, and at the same time, dummy terminals Dummy 1-Dummy 27 that are not connected to the internal circuit and a protective means for protecting the dummy terminals from electrostatic breakdown are provided at a short side.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

第 92117490 號
初審(訴願)引証附件
再審

92117490

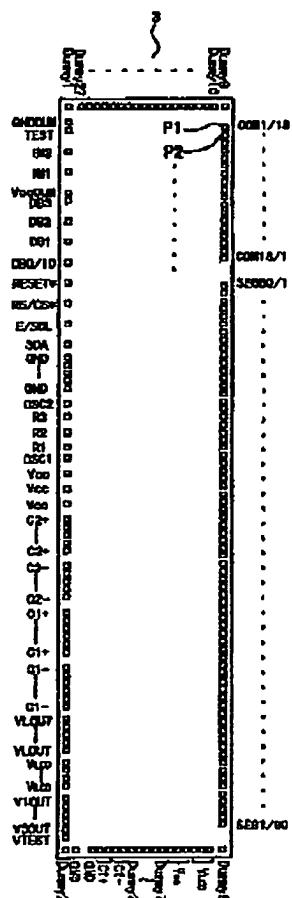
【特開 2001-094053】

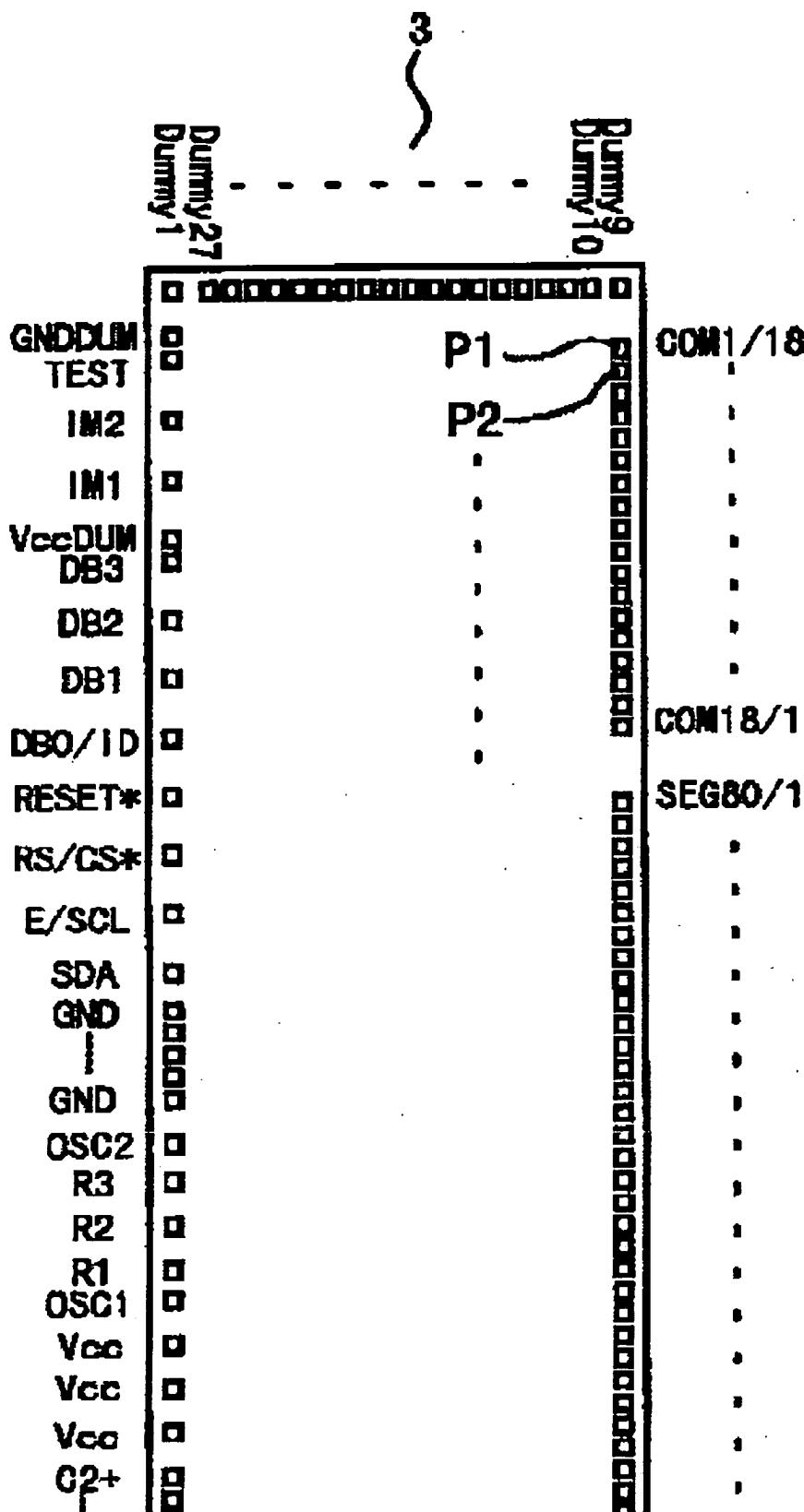
(57) [要約]

【課題】 液晶パネルにCOG実装される液晶駆動用の半導体チップにおいて、1つのチップで複数のITO配線パターンのバリエーションに対応できる半導体集積回路、および、そのような半導体集積回路を用いた液晶表示装置を提供することにある。

【解決手段】 液晶パネルのコモン電極にコモン駆動電圧を出力する複数のコモン駆動電圧出力端子 (COM1～COM18) と、セグメント電極にセグメント駆動電圧を出力する複数のセグメント駆動電圧出力端子 (SEG1～SEG80) と、上記コモン駆動電圧とセグメント駆動電圧を形成し出力する駆動回路とを備えた半導体チップ (3) において、上記複数のセグメント駆動端子とコモン駆動端子が半導体チップの1つの長辺に沿って配置されると共に、短辺に内部回路と接続されていないダミー端子 (Dummy1～Dummy27) と、該ダミー端子を静電破壊から守る保護手段とが設けられている。

[图3]





(19)日本特許庁 (JP)

(2) 公開特許公報 (A)

(1)特許出願公開番号

特開2001-94053

(P2001-94053A)

(3)公開日 平成13年4月6日 (2001.4.6)

(51)Inn.Cl'

H01L 27/04
21/822
G02P 1/1965
H01L 29/786

識別記号

P 1

H01L 27/04
G02F 1/136
H01L 27/04
29/78

マークド(参考)

H 21092
500 5F038
E 5F110
612C
623A

特許請求 末請求 請求項の数 6 OL (全 11 頁)

(21)出願番号

特願平11-269031

(22)出願日

平成11年9月22日 (1999.9.22)

(71)出願人

000008108
株式会社日立製作所
京都府千代田区神田駿河台四丁目6番地

(72)出版人

000233088
日立デバイスエンジニアリング株式会社
千葉県茂原市早野3681番地

(73)発明者

種口 和久
千葉県茂原市早野3681番地 日立デバイス

エンジニアリング株式会社内

(74)代理人

100085811
弁理士 大日方 宮雄

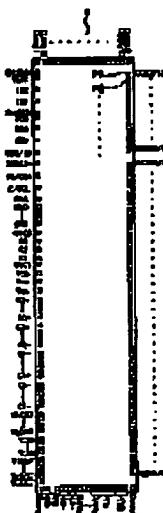
最後頁に続く

(54)【発明の名前】 半導体表示回路および液晶表示装置

(52)【要約】

【課題】 液晶パネルにCOG実装される液晶駆動用の半導体チップにおいて、1つのチップで複数のITO配線パターンのバリエーションに対応できる半導体表示回路、および、そのような半導体表示回路を用いた液晶表示装置を提供することにある。

【解決手段】 液晶パネルのコモン電極にコモン駆動電圧を出力する複数のコモン駆動電圧出力端子(COM1～COM18)と、セグメント電極にセグメント駆動電圧を出力する複数のセグメント駆動電圧出力端子(SEG1～SEG80)と、上記コモン駆動電圧とセグメント駆動電圧を形成し出力する駆動回路とを備えた半導体チップ(3)において、上記複数のセグメント駆動端子とコモン駆動端子が半導体チップの1つの長辺に沿って配置されると共に、短辺に内部回路と接続されていないダミー端子(Dummy 1～Dummy 27)と、該ダミー端子を静電蔽護から守る保護手段とが設けられている。



(2)

特許2001-84053

2

1

【特許請求の範囲】

【請求項1】 液晶パネルに設けられた複数のコモン電極と台面するコモン駆動電圧を出力する複数のコモン駆動電圧出力端子と、上記コモン電極と交差する方向に配設された複数のセグメント電極に印加するセグメント駆動電圧を出力する複数のセグメント駆動電圧出力端子と、上記コモン駆動電圧とセグメント駆動電圧を形成し出力する駆動回路とを備えた半導体集成回路において、上記複数のセグメント駆動端子とコモン駆動端子のすべてもしくは一部が半導体チップの1つの長辺部分に沿って配設されると共に、片面又は両側の短辺部分に内部回路と接続されていないダミー端子と、該ダミー端子を封緘端子から守る保護手段とが設けられていることを特徴とする半導体集成回路。

【請求項2】 上記保護手段は、半導体チップ上に形成されたPN接合からなり駆動電圧用の第1の走電圧端子と第2の定電圧端子との間にそれぞれ逆方向接続されたダイオードから構成されることを特徴とする請求項1記載の半導体集成回路。

【請求項3】 外部から供給される電源電圧を受ける電源端子が上記短辺部分に記載されていることを特徴とする請求項1又は2に記載の半導体集成回路。

【請求項4】 上記各ダミー端子は半導体チップ上に設けられた電極パッドであり、各電極パッドはパンプを介して基板上の端子もしくは記載に固着されていることを特徴とする請求項1～3の何れかに記載の半導体集成回路。

【請求項5】 液晶パネルのコモン電極やセグメント電極どちらが配線が形成された配線形成基板上の所定位に、請求項1～4の何れかに記載の半導体集成回路の半導体チップが配置されて、半導体集成回路の各端子と上記配線形成基板上の配線とが電気的に接続されている液晶表示装置であって、

上記配線形成基板には、上記コモン駆動電圧出力端子又はセグメント駆動電圧出力端子と上記液晶パネルの対応するコモン電極又はセグメント電極とを接続する配線の一部が上記半導体チップと異なる部位に形成されると共に、上記ダミー端子は上記いずれかの配線にパンプを介して固着されていることを特徴とする液晶表示装置。

【請求項6】 離散信号端子および電源配線の引出し端子チップと異なる部位に形成されていることを特徴とする請求項5に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、液晶パネルを表示駆動する半導体集成回路に適用して有用な技術に属し、更に、このような集成回路を構成した半導体チップがフェイスダウン方式でパネルの透明基板やフィルムに実装されて構成される液晶表示装置を利用して特に有用な技術に関する。

【0002】

【従来の技術】 近年、携帯電話やPDA (Personal Digital Assistant)などの携帯用端末において、消費電力の少ない液晶表示装置が用いられている。このような液晶表示装置において、図6に示すように、表示駆動回路を搭載した半導体チップ (液晶ドライバ) 3が液晶パネル6の透明基板6-2上にCOG (Chip On Glass) 実装される技術が以前よりある。

【0003】 液晶パネルは、図5に示されているように、コモン電極が形成された背面側の透明基板6-1とセグメント電極が形成された背面側の透明基板6-2との間に液晶を挟んで構成される。液晶表示装置に用いられるCOG実装は、上記一対の透明基板6-1、6-2のうち背面側の透明基板6-2の張出し部6-2Aに半導体チップ3をフェイスダウンで固定することで行われる。透明基板6-2の張出し部6-2Aには半導体チップ3に電源電圧を供給したり各種信号をやり取りする入出力配線や、液晶パネルのセグメント電極やコモン電極と半導体チップ3とを接続する引出し端子が、ITO (Indium Tin Oxide: 透明導電膜) 等によりプリント配線されている。他方の透明基板6-1に設けられたセグメント電極は、パネルの側面に設けられた導電部材 (銀ボール等) を介してチップ3が実装される透明基板6-2の引出し端と電気的に接続される。そして、半導体チップ3の端子である電極パッドに設けられた金パンプ等が透明基板6-2上の配線端子に圧着又は貼着されることで、半導体チップ3が透明基板6-2上に固着されると共に、半導体チップ3の端子と透明基板6-2の配線端子とが電気的に接続される。

【0004】 ところで、携帯用の電子機器においては画面は大きく設置全体は小型軽量が望まれるため、液晶パネルの画面の外側に張り出した部分の面積を小さくしたいと云う要求がある。反面、ドットマトリクス方式の液晶パネルでは、パネル面に配されるコモン線およびセグメント線の数はかなり多い。したがって、図6に示すように、透明基板6-2の張出し部6-2Aに設けられるコモン電極の引出し端7-1およびセグメント電極の引出し端7-2などのITO配線も過密となる。

【0005】 半導体チップは、一般に、矩形状にカットされ、その各辺に沿った部分に電気接続用のパッド部が設けられている。また、液晶パネルはセグメントの方がコモンよりも多い。そこで、従来の液晶ドライバでは、半導体チップの2つの長辺の一方にセグメント駆動電圧出力端子が設けられ、2つの短辺それぞれにコモン駆動電圧出力端子が設けられるのが一般であった。

【0006】 かかる端子配置に従うと半導体チップのサイズはセグメントの数とコモンの数によって決まってしまい、短辺がそれほど短くならないため透明基板6-2の張出し部6-2Aの長さも短くできなかった。

【0007】 しかも、このような半導体チップの場合、

(3)

特許2001-94953

4

透明基板にプリントされるITO配線からなるコモン電極の引出し線はチップの片側から外側に延設させた後、コの字状に曲げて液晶部の片側に接続するレイアウトとなる。

【0008】そこで、本発明者は、コモン端子とセグメント端子とを1つの長辺部分に配列させることで、半導体チップの傾きを小さくする技術について検討した。

【0009】このような半導体チップの場合、図7に示すように、透明基板62にプリントされるITO配線は、コモン電極の引出し線81を一旦半導体チップ3の下側を経て外側へ延設させた後、コの字状に迂回して液晶部の片側に接続するレイアウトとすることが可能となる。

【0010】ところが、COG実装する場合、チップのパッド部で行われる金属パンプの融着部はチップ端子と透明基板62のITO配線端子とを電気的に接続する役割のほか、チップを透明基板62に固定させる役割も担っている。そのため、左右の短辺部分にコモン端子を設けない上記チップにあっても、左右の短辺部分にチップ固定用のダミーパッド（内部回路に接続されていないパッド）を設け、長辺部分のパッドと同時に金属パンプを介して透明基板上のダミー電極と回路する構造とせざるを得なかつた。しかし、この場合にはコモン引出し線は図7のようなレイアウトには出来ず、図6に示すように、透明基板62にプリントされるITO配線は、コモン電極の引出し線71が一旦半導体チップ3の長辺部から上方に延設された後、コの字状に迂回して液晶部の片側に接続するレイアウトとなる。

【0011】

【発明が解決しようとする課題】上記のように、従来の液晶駆動用半導体チップにあっては、半導体チップを透明基板62にCOG実装する場合、基板やフィルムに施される配線パターンは半導体チップに設けられたパッド部の配置によりほとんど決まってしまい、さらに、この配線パターンによって透明基板62の張出し部の形状や大きさらばば決まってしまい、複数の端子の要求に対応することができないと云う問題があつた。

【0012】この発明の目的は、液晶駆動用の半導体チップにおいて1つのチップで複数の配線パターンのバリエーションに対応できる半導体集積回路、および、そのような半導体集積回路を用いた液晶表示基板を提供することにある。

【0013】この発明の他の目的は、液晶パネルの半導体チップが搭載される張出し部分を小さくし、これによってパネル全体のコンパクト化を図れる半導体集積回路および液晶表示基板を提供することにある。

【0014】この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【0015】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

【0016】すなわち、液晶パネルのコモン電極とセグメント電極に印加する駆動電圧を出力するコモン駆動電圧出力端子およびセグメント駆動電圧出力端子を備えた液晶駆動用の半導体集積回路において、半導体チップの長辺に沿って上記のコモン駆動電圧出力端子とセグメント駆動電圧出力端子とが配置される一方、チップの短辺に沿って内部回路と接続されてないダミー端子が設けられ、且つ該ダミー端子を静電遮断から守る保護手段が設けられている構成とした。

【0017】上記のような手段によれば、セグメント駆動電圧出力端子やコモン駆動電圧出力端子が1つの長辺部分に設けられていて、チップの短辺を短くすることができる。加えて、上記の集積回路が搭載された半導体チップが、液晶パネルのコモン電極やセグメント電極につながる引出し線が設けられた配線形成基板（COG実装における透明基板やCOF実装における配線フィルム等）にフェイスシダウンで実装される場合、基板表面の配線にダミー端子が接続しても静電遮断しないため、基板表面のチップ接続部分にも配線を設けることができるようになり、これによって、コモン電極の引出し線の配線パターンのバリエーションを多くすることが出来る。また、ダミー端子をチップの2つの短辺にそれぞれ設けることで、さらに配線パターンのバリエーションを多くすることが出来る。さらに、チップ接続部分の配線はコモン端子の引出し配線パターンに限られずセグメント端子や斜面端子などに接続される配線パターンであつてもよい。これによって、1つの半導体集積回路で、多数の配線パターンに対応することが出来る。

【0018】また、ダミー端子がコモン等の引出し線に電気的に接続された場合には、該ダミー端子にコモン電極などの電圧が印加されることになり、單なるチップ固定用のダミー端子では端子（接線パッド）が過剰膨張されてしまうが、上述した手段ではダミー端子に静電遮断を防止する保護手段が設けられてしまふので、ダミー端子と引出し端子が接続されても何ら支障はない。

【0019】さらに望ましくは、半導体集積回路の電源電圧を外部から受け入れる電源端子を上記短辺部分に配置する。一般に、電源電圧を供給する配線は、配線抵抗を小さくするために太くする必要があり、上記のようにダミー端子を介した迂回は現実的でない。したがって、はじめからチップの短辺部分に電源電圧の端子を設けておくことで、電源電圧を供給する配線がチップの左右から引き出される配線パターンとなり、外部から電源電圧を供給する上で配線形成部材の面積を小さく構成することが可能となる。すなわち、電源端子を長辺部分に設けた場合には、ケーブルとの接続のために半導体チップの長辺部分の外側にはみ出た接続スペースを配線形成

(4)

特開2001-94053

5

基板に設ける必要があるが、短辺部分の外側はコモン引出し端部のためのスペースにより比較的に空いた状態にあるので、電源配線の際に新たなスペースを設けなくて済む。

【0020】上記保護手段は、例えば半導体チップ上に形成されたPN接合からなり、第1の定電圧端子と第2の定電圧端子との間にそれそれ逆方向接続されたダイオードから構成することが出来る。

【0021】

【発明の実施の形態】以下、本発明の筋道な実施例を図面に基づいて説明する。

【0022】図1は、本発明を適用して好適な半導体チップが実装された携帯電話機1の実施例を示す全体構成図である。

【0023】この携帯電話機1は、特に制限されないが、マイク4、スピーカ5、液晶ディスプレイ6、アンテナ7、音声インターフェース21、高周波インターフェース22、メモリ23、液晶駆動回路を含む液晶コントローラドライバ31、音声信号や受信信号に係る信号処理を行うDSP(digital Signal Processor)26、ユーザーにカスタム機能を提供するASIC(application specific integrated circuits)27、および、表示制御を含め装置全体を統括的に制御するマイクロコンピュータ28等を備えてなる。上記のDSP26、ASIC27およびマイクロコンピュータ28は、送受信する信号の波形変調を行うベースバンド部25を構成している。

【0024】図1において、符号2および3はそれぞれ1枚の半導体チップを示しており、上記の液晶コントローラドライバ31は、公知の半導体集積回路製造技術によってCMOS-LSIとして1個の半導体チップ3上に集成されている。

【0025】図2には、上記液晶コントローラドライバ31の構成例が示されている。

【0026】図2において、243は、図1のマイクロコンピュータ28から制御信号やデータ信号等の入力を受けるシステムインターフェース、244は内部の制御情報等を設定するためのインストラクションレジスタ、245はインストラクションレジスタ244の設定値をデコードして各操作ブロックに制御信号を出力するインストラクションデコーダ、247は画面上に表示する文字のキャラクタコードを記憶する表示データRAM、248は表示データRAM247から表示データを液晶パネルの駆動位置に合わせて読み出すアドレスカウンタ、249は表示データRAM247から読み出されたキャラクタコードからドットマトリクス状の文字フォントパターンを展開するキャラクタジェネレータROM、248はユーザー定義の文字フォントパターンを記憶し上記ROM249と同様に展開するキャラクタジェネレータRAM、250は画面上でカーソルの(反転)表示

を行わせるためのカーソルプリント制御回路、251は予め焼められたセグメント表示を行う表示モードにおいて所定のプリント表示を行つたためのセグメントプリント制御回路、252はキャラクタジェネレータRAM248とキャラクタジェネレータROM249およびカーソルプリント制御回路250から出力される表示パターンのドットデータをそれぞれ合成するキャラクタ合成回路、253は読み出された駆動ビットのドットデータをシリアルデータに変換する並列変換回路、254は変換されたドットデータをシフトして表示パネル1ライン分のデータを蓄積するセグメントシフトレジスタ、255はシフトされた1ライン分の表示データを保持するランチ回路、256は保持された1ライン分のデータに基づいて表示パネルのセグメント電極に印加される駆動電圧波形を形成し出力するセグメントドライバ、257は表示パネルのコモン電極を順次選択するコモンシフトレジスタ、258はコモン電極に印加される駆動電圧波形を形成し出力するコマンドライバである。

【0027】また、241はシステムクロックを発生するクロック信号発生回路、242はシステムクロックを分周して上空シフトレジスタ254、257やセグメントドライバ256にクロック信号を供給するタイミング発生回路、268はシステム電源の電源電圧Vccに基づいて液晶駆動電圧V_{DD}を発生する昇圧回路、269は7本の電圧供給線266に液晶駆動用の5つの電圧を生成出力する電圧回路、267は表示パネルで滑調表示を行わせるために電源回路260から供給される駆動電圧V1～V5の同相かを選択してセグメントドライバ256とコマンドライバ258に供給する液晶駆動電圧選択回路である。

【0028】上記電源回路260は、ラダー抵抗VR、RD、R…の抵抗分割により生成された電圧V1～V5を入力とし、低出力インピーダンスに変換することでの安定した液晶パネル用電圧V1～V5を供給するボルテージフォロワ型のオペアンプ261～265を備えている。その他、システム電源の電源電圧VccとGNDとを含んだ7つのバイアス電圧を上記7本の電圧供給線266を介して供給するようになっている。

【0029】図3には、液晶コントローラドライバ31が形成された半導体チップ3の基板パッドの配置例を示す。

【0030】半導体チップ3は、特に制限されないが、同様に示すように縦長な矩形状にカッティングされており、縦に近い凸辺部分に外部接続端子となる基板パッドP1、P2、…が形成されている。図中、チップ3の凸辺部に正方形で示されているのがすべて基板パッドである。

【0031】半導体チップ3の外部接続端子としては、液晶パネルのコモン電極に印加するコモン駆動電圧を出力するコモン駆動電圧出力端子COM1～COM18、

(5)

特開2001-94053

8

液晶パネルのセグメント電圧に印加するセグメント駆動電圧を出力するセグメント駆動電圧出力端子SEG1～SEG80、電源電圧やグランド電位が印加される電源端子Vcc…、GND…（第2走査端子）、液晶駆動用のバイアス電圧が入力される液晶バイアス電圧入力端子V_{bb}…（第1走査端子）、液晶コントローラドライバ131内で電源電圧Vccから昇圧された駆動電圧を出力する駆動電圧出力端子V_{out}、液晶パネルを階調表示するための5種類のバイアス電圧を出力する駆動電圧出力端子V_{bb1}～V_{bb5}…。その他の、外部からシステムクロック信号を入力したり内部駆動回路でシステムクロック信号を発生する場合にクロックを入力したり外付け抵抗を接続したりするためのクロック端子OSC1、OSC2、クロック信号を内部で生成する場合に調整抵抗やコンデンサを接続するための接続端子R1～R3、C1+…、C1-…、C2+…、C2-…、マイクロコンピュータ28からのデータが入力されるデータ入力端子DB0/ID、DB1～DB3、シリアル転送データ入力端子SDA、レジスタ選択信号、チップ選択信号、書込み制御信号およびシリアルデータ転送ストップ信号等の制御信号が入力される制御信号入力端子RS/CS、E/SCL、リセット信号入力端子RESET、テスト信号入力端子TEST、マイクロコンピュータ28とのインターフェースモードをクロック同期シリアルインターフェースとB8基プロセッサに対応する4ビットバスインターフェースとに切り替えるためのモード選択端子M1、M2等が設けられている。なお、1つの端子に2つの端子記号が示されているものにおいては、インターフェースモードの選択において4ビットバスが選択された場合にはスラッシュ（／）後に示される記号の端子が選択されるようになっている。

【0032】この実施例では、上記の外部接続端子のうち、コモン駆動電圧出力端子COM1～COM18とセグメント駆動電圧出力端子SEG1～SEG80は半導体チップ3の一方（図3の右側）の長辺部に沿って設けられている。更に、左側（図3の上方）の短辺部にはチップ内部において内部の回路に接続されていないダミー端子Dummy1、Dummy8～Dummy27がほぼ全体に亘って設けられている。また、右側（図3の下方）の短辺部にはダミー端子Dummy2～Dummy6と、電源端子Vcc…、GND…、液晶駆動電圧入力端子V_{bb}…等が設けられている。また、右側（図2の左側）の長辺部には、データ入力端子DB0/ID、DB1～DB3、SDA、制御信号入力端子RS/CS、E/SCL、リセット信号入力端子RESET、モード選択信号M1、M2、クロック周波数の端子OSC1、OSC2、R1～R3、C1+…、C1-…、C2+…、C2-…、並び

に、電源端子Vcc…、GND…や電圧出力端子V_{bb1}…、V_{bb5}…等が設けられている。電源端子Vcc…、GND…は、プリント基板50側の長辺部にも短辺部にも設けられており、何れか一方に供給されれば良いように構成されている。

【0033】図4には、実施例の半導体チップ3に設けられたダミー端子Dummy1～Dummy27とその保護ダイオードD1、D2の構成図を示す。同図（a）はその等価回路図、（b）は半導体チップの断面図である。

10 【0034】同図（a）に示すように、上記のダミー端子Dummy1～Dummy27には、それぞれ駆動電圧出力端子（第1走査端子）V_{bb}…とグランド電位（0V）が印加される電源端子（第2走査端子）GNDとの間に通常時に逆バイアス電圧が印加されるように保護ダイオードD1、D2がそれぞれ逆方向接続されている。

【0035】ダミー端子Dummy1の保護パットは、図4（b）において比較的大きな面積に形成された第1層アルミニウム38aと第2層アルミニウム39とからなる部分であり、その上には圧着接続用の金属パンプ40が形成される。

【0036】保護ダイオードD1、D2は、公知のCMOS半導体構造技術によって構成可能な構造となっている。すなわち、液晶駆動電圧端子V_{bb}…側に接続される保護ダイオードD1は、例えばn型半導体30上にp型ウエル領域31を形成し、その上に中央に形成されたp型遮断領域33とその周りを囲むように形成されたn型遮断領域34とから構成される。そして、n型遮断領域34に接続されるように形成された第1層アルミニウム38aを液晶駆動電圧出力端子V_{bb}…に電気的に接続して構成される。

【0037】もう一方の保護ダイオードD2は、例えばp型半導体30上に形成されたn型遮断領域36とその周りを囲むように形成されたp型遮断領域37とから構成される。そして、n型遮断領域38に接続されるように形成された第1層アルミニウム38aをダミー端子Dummy1～Dummy27のパット部の第1層アルミニウム38aに接続する一方、n型遮断領域34に接続されるように形成された第1層アルミニウム38aを液晶駆動電圧出力端子V_{bb}…に電気的に接続して構成される。

【0038】なお、上記の保護ダイオードD1、D2…は、通常的に形成されるダミー端子Dummy10～Dummy27の列に対して交差する方向に並ぶように配置することで、隣接するダミー端子Dummy10～Dummy27の間隔を大きくすることなく形成することができます。

【0039】図5は、液晶パネルに半導体チップ3が実装されている構造構造を示す断面図である。

(6)

特開2001-94053

9

【0040】液晶ディスプレイ(液晶パネル)8は、前面側に配設される表示面面大の透明基板61と、ITO配線され半導体チップ3が実装される張出し部62Aを備えた透明基板62と、一対の透明基板61、62に接着されシール材63の内側に封入された液晶と、その他の透明基板62の裏側に設けられた反射板や各透明基板61、62の内側に接着された偏光板などを備えて構成される。

【0041】表側の透明基板61の内側面には、ITO配線によりなる接戻本のコモン電極が偏光方向にストライプ状に形成されている。後方の透明基板62は、液晶を扶持している部分にITO配線によりなる接戻本のセグメント電極が偏光方向にストライプ状に形成されると共に、張出し部62Aには上記コモン電極とセグメント電極から半導体チップ3まで近くITO等の引出し線が形成されている。また、1対の透明基板61、62の間に、例えば表示部の側方で透明基板61側のコモン電極と透明基板62側の引出し線とを電気的に接続する導電部73…(図6)が設けられている。

【0042】図5に示されるように、この実施例において、液晶コントローラドライバ31を搭載した半導体チップ3は、透明基板62の張出し部62AにCOG接続される。そして、液晶表示ユニット(液晶モジュール:LCM)が構成される。液晶ディスプレイ6のコモン電極およびセグメント電極は、透明基板62上に設けられたITO配線を介して半導体チップ3に電気的に接続される。また、半導体チップ3とプリント基板2上に配設されたマイクロコンピュータ28等との接続は、透明基板62上のITO配線とプリント配線ケーブル50等を介して行われる。

【0043】図6～図8には、半導体チップ3が実装される表示パネルの配線パターンの第1例～第3例の平面図をそれぞれ示す。

【0044】図6に示す配線パターンは、相対的に透明基板62の面積を大きくとれる場合のものである。この配線パターンにおいては、コモン電極COM…につながる引出し線71…は、半導体チップ3の長辺部からチップ外方に延設され表示面面の左側にコの字状に当げられ迂回して液晶面面側の導電部材73に接続されるようになされている。セグメント電極SEG…の引出し線72…は、チップ長辺部分のセグメント駆動電圧出力端子SEG1～SEG8Gからチップ外方に延設され且つ迂回してセグメント電極SEGに接続されている。制御信号やデータ信号および電源等が印加される引出し線74…、75…は他のチップ長辺部からそのまま外方に延設されている。なお、電源等が印加される引出し線75…は低抵抗にするため端が広めに形成されている。

【0045】この実施例では、ダミー端子Dummy…は、基板62の対応する位置に形成され電気的にフロー

10

ティングのダミー電極に、バンプを介して固着される。【0046】図7に示す配線パターンは、引出し線が設けられる透明基板62の面積が比較的小さく狭む配線パターンである。

【0047】この配線パターンにおいて、コモン電極COM…につながる引出し線は、半導体チップ3と並なる範囲に配設されたし字状の引出し線82…と、チップ短辺部から外方に延設され表示面面の左側を迂回して導電部材73に接続されるコの字状の引出し線81とから構成される。この実施例では、引出し線82のピッチは上記チップ短辺部のダミー端子Dummy10～Dummy27のピッチと同じになるようになされている。このダミー端子Dummy10～Dummy27は対応する引出し線82の端部に金属バンプを介して固着されている。これによって、チップの基板に対する固定力が高くなる。

【0048】一方、セグメント電極SEG…の引出し線83…は、チップ長辺部分のセグメント駆動電圧出力端子SEG1～SEG8Gからチップ外方に延設され且つ迂回広げられてセグメント電極SEGに接続されている。

【0049】制御信号やデータ信号が入出力される引出し線85…、86…は、プリント基板60側の長辺部から半導体チップ3と並なる範囲に延設されて右短辺部のダミー端子Dummy3～Dummy7に接続される引出し線85と、これらダミー端子Dummy3～Dummy7を介してチップ短辺部から外方に延設されプリント基板50側に当げられて透明基板62の端に到達する引出し線86とからなる。

【0050】電源等が入力される引出し線87は半導体チップ3の右短辺部に設けられた電源端子VCC…、GND…や駆動電圧端子VDD…を採用することで、チップ3の右短辺部から外方に延設されプリント基板50側に曲げられて透明基板62の端に到達するようになされている。

【0051】上記のように半導体チップ3と並なる範囲に引出し線82…、85…を設けた配線パターンとして、透明基板62の張出し部の面積を小さくすることができる。配線(制御線や電源線など)を一個方にまとめてケーブルとの接続を容易にすることが出来る。

【0052】図8に示す配線パターンは、液晶部のコモン電極の引出し線を左右から引き出すようにした配線パターンである。

【0053】この配線パターンは、先ず、チップ3と並なる範囲に設けられた2絶路の引出し線93、94が、半導体チップ3のコモン駆動電圧出力端子COM1～COM18の1部分が左側短辺部のダミー端子Dummy10～Dummy21の下方を通過し、残り部分が右側短辺部のダミー端子Dummy3～Dummy7の下方を通過して表示部の両側にコの字状に形成された引出し

(7)

特許2001-94053

12

11
報91, 92に接続され、半導体チップ3のコモン駆動
電圧出力端子COM1～COM18と透明基板61のコ
モン電極COM…とが導電部材73を介して電気的に接
続されている。

【0054】セグメント電極SEG…からの引出し線8
5は図7の配線パターンと同様のパターン、制御信号や
電圧等が印加される引出し線74…、75…は図8の配
線パターンと同様のパターンである。

【0055】以上のように、この実施例の半導体チップ
3によれば、チップ下方に配線パターンを形成すること
が可能となるため、チップで多様な配線パターンに対
応することができる。従って、色々な配線パターンで多
様な形状の液晶表示ユニットを製造する場合でも、
半導体チップ3の回路レイアウトや電極配置を設計変更
することなく同一のチップを用い配線パターンの変更で
対応可能となり、半導体チップ3の設計コストの低減に
より、多様多様な形状の液晶表示ユニットを廉価に製造
できる。そして、例えば、この液晶表示ユニットを携帯
電話機に適用することで、多種多様で小型軽量な携帯電
話器を低コストで開発することが出来る。

【0056】また、上記実施例の半導体チップ3は、最
近部分にダミー端子Dumy1～Dumy27が設
けられている。COG実装における半導体チップ3と
透明基板62との固定強度を低下させない。

【0057】更に、上記ダミー端子Dumy1～Dumy
27に保護ダイオードD1, D2が接続されて静
電誘導対応が施されているので、透明基板62の引出し
線をチップ3と直角な範囲に形成し、この引出し線にダ
ミー端子Dumy1～Dumy27を電気的に接続
させても静電誘導を起こすことがないとともに、静電誘
導端子や電源配線の引出し線もダミー端子の下方を通して
形成することができるため透明基板62の引出し部62
Aの面積をさらに小さくすることが出来るという効果が
得られる。

【0058】また、電極端子Vcc…, GND…を半導
体チップ3の近辺部分にも設けたことから、電源電圧を
供給する配線がチップの左右から引き出される配線バタ
ーン（例えば図7の配線パターン）が可逆となるので、
半導体チップ3より接続ケーブル取り扱いに必要な配
線用のスペースを不要とすることが可能となり、透明基
板62の引出し部62Aの面積を更に小さくすることが
可能となる。

【0059】以上本発明者によってなされた発明を実施
例に並び具体的に説明したが、本発明は上記実施例に
限定されるものではなく、その要旨を追記しない範囲で
種々変更可能であることはいうまでもない。

【0060】例えば、液晶駆動用の半導体チップ3に設
けられている各種特徴性（人力端子や電源等）が印加され
る端子の種類や數などは、上記実施例（図3）のものに
制限されず、半導体チップ3の機能に応じて適宜変更可

能である。

【0061】また、セグメント電極やコモン電極に接続
される引出し線の配線パターンも、図6～図8に示した
ものはその一例であり、もっと多種多様なパターンに形
成することも可能である。

【0062】また、実施例では、透明基板に半導体チッ
プをCOG実装する場合についてのみ説明したが、CO
B（Chip On Board）実装やCOF（Chip On Film）実
装などにおいても同様の効果を得ることが出来るし、T
10 CP（Tape Carrier Package）などの実装方法において
も同様に適用可能である。

【0063】以上の説明では主として本発明者によ
てなされた発明をその背景となつた利用分野である携帯電
話機の液晶表示装置（液晶表示ユニット）について説明
したがこの発明はそれに限定されるものでなく、携帯表示
装置を備えた携帯型の電子機器に有効に利用するこ
とが出来るし、また、携帯型の電子機器に販売され、大さ
な液晶パネルなどに広く利用することができる。

【0064】

20 【発明の達成】本明において開示される発明のうち代表
的なものによって得られる効果を簡単に説明すれば下記
のとおりである。

【0065】すなわち、本発明によると、1チップで、
多種多様な配線パターンに適用できる安価な液晶駆動用
半導体チップ回路を実現できるという効果がある。

【0066】更に、小型で表示部が多種多様な液晶表示
ユニットを実現できるという効果がある。

【図面の簡単な説明】

【図1】本発明を適用して好適な実施例の半導体チップ
30 を適用した携帯電話機の全体構成を示すブロック図であ
る。

【図2】実施例の携帯電話機の液晶コントローラの全体
構成の1例を示すブロック図である。

【図3】本発明を適用して好適な半導体チップのパット
部の配置の1実施例を示す平面図である。

【図4】実施例の半導体チップに設けられたダミーパッ
トとその保護ダイオードの構成を示すもので、（a）は
その各部図図、（b）は半導体チップの断面図である。

40 【図5】半導体チップが実装された液晶表示モジュール
の概略構造を示す断面図である。

【図6】実施例の半導体チップが実装される表示パネル
の配線パターンの第1例を示す平面図である。

【図7】実施例の半導体チップが実装される表示パネル
の配線パターンの第2例を示す平面図である。

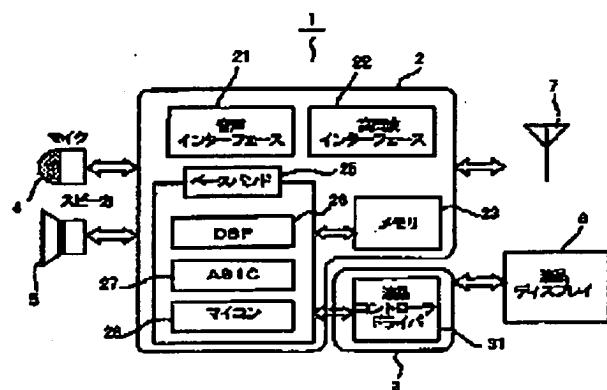
【図8】実施例の半導体チップが実装される表示パネル
の配線パターンの第3例を示す平面図である。

【符号の説明】

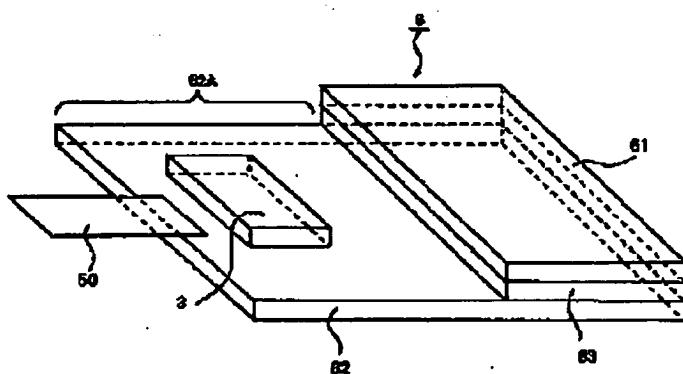
1 携帯電話機
50 3 半導体チップ

(B)		特許2001-94053
13		14
6	液晶ディスプレイ (液晶パネル)	*出し線
31	液晶コントローラドライバ	COM コモン電極
39	電源パット	SEG セグメント電極
40	金属バンブ	Dummy 1～Dummy 27 ダミー端子
50	配線フィルム	COM1～COM18 コモン端子
61	透明基板 (裏側)	SEG1～SEG80 セグメント端子
62	透明基板 (裏側)	D1, D2 保護ダイオード
71, 81, 91, 92	コモン電極の引出し線	Vcc 電源端子
72, 83, 93	セグメント電極の引出し線	Vcc, 液晶駆動電圧
82, 85, 93, 94	ダミー端子に接続される引線 ¹⁰	GND グラウンド端子

【図1】



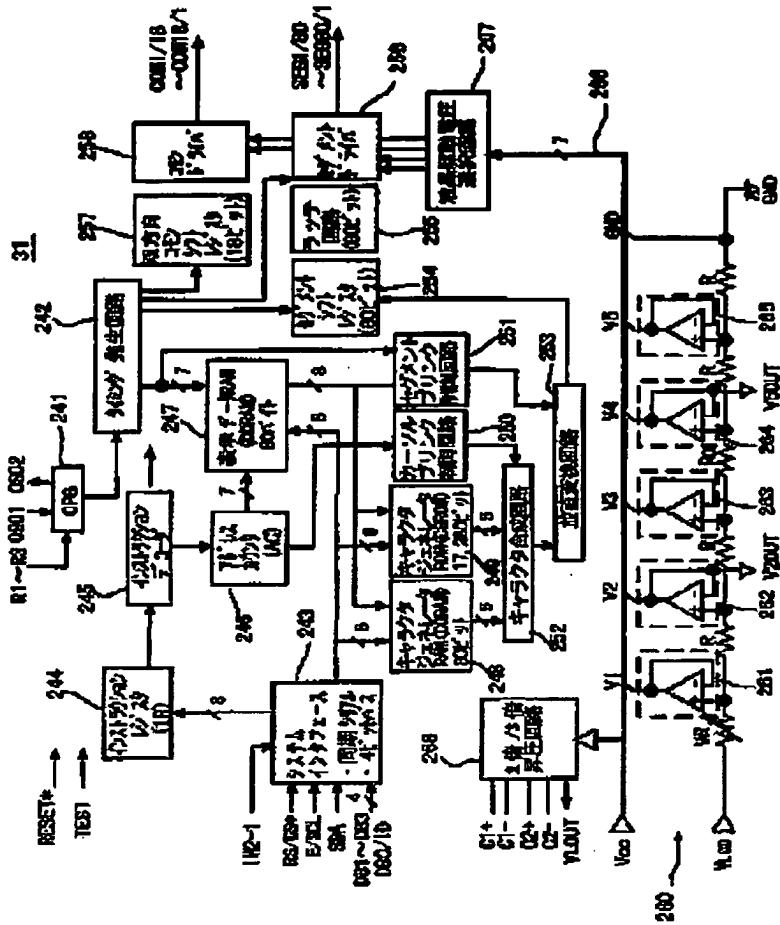
【図5】



(9)

特圖2001-94053

〔四二〕

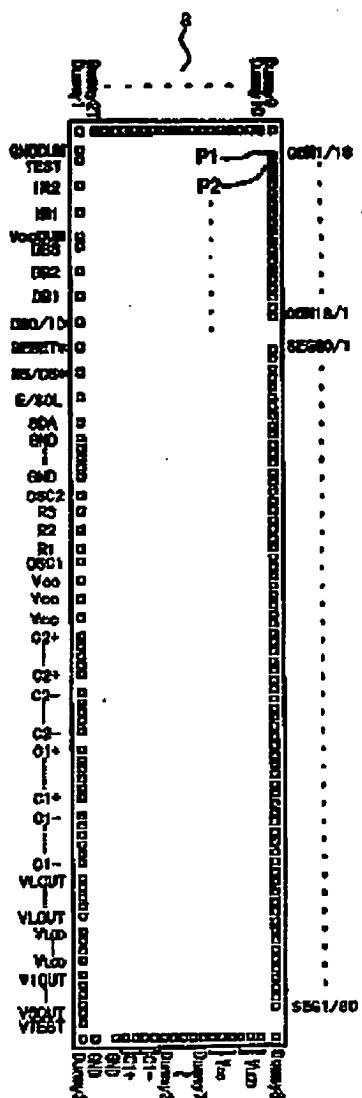


1986673

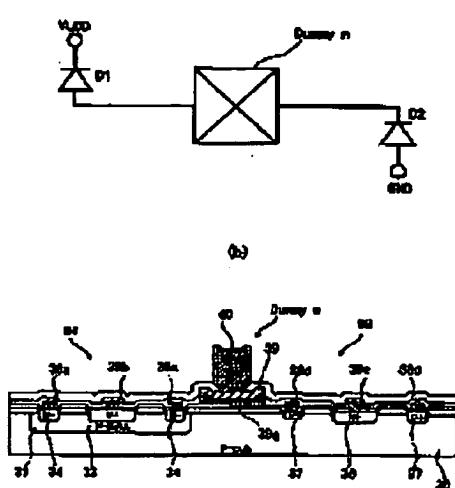
(14)

特圖2001-94053

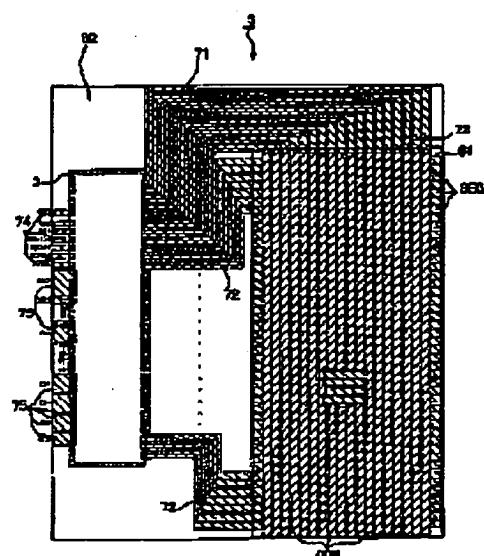
[图3]



〔圖4〕



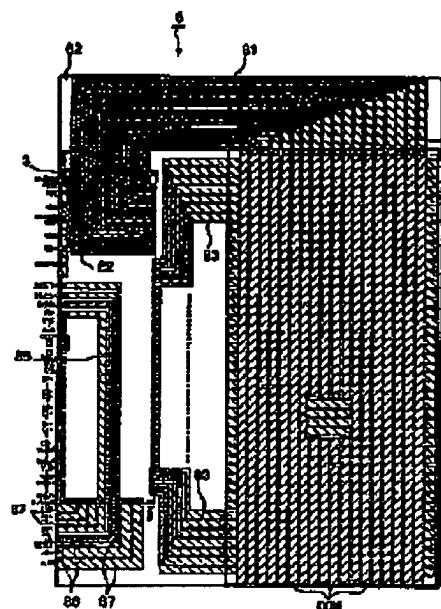
〔四六〕



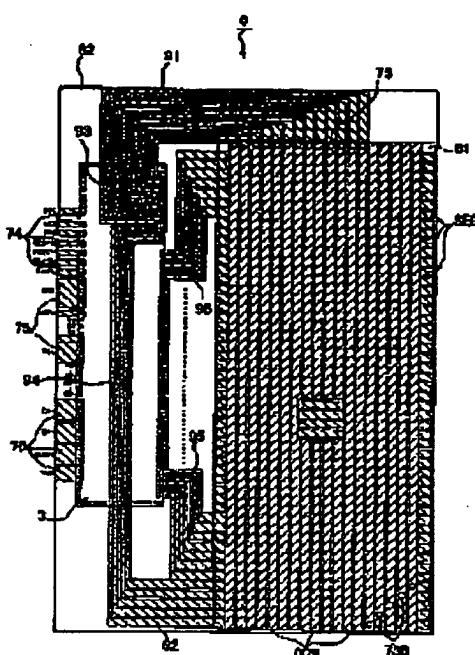
(11)

特圖2001-94053

【図7】



【図8】



フロントページの続き

(72)発明者 中地 孝行
千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内
(72)発明者 谷 邦彦
東京都小平市上水本町五丁目3番1号 株
式会社日立製作所半導体グループ内

(72)発明者 大山 岳
千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内
下ターム(参考) 2H092 CA440 CA60 MA14 MA25 PA06
5FD38 AV06 BE07 BG02 BH04 BH13
CD06 CD10 DF01 DF11 EZ20
5F110 BB01 BB04 DD02 EE03

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.